

PATENT
81784.0292
Express Mail Label No. EV 324 111 052 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:
OKADA, et al.
Serial No: Not Assigned
Filed: November 14, 2003

For: Solid State Imaging Device With An
Output Section Having Reduced Power
Consumption, and Manufacturing
Method Thereof

Art Unit: Not Assigned
Examiner: Not Assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-330673, which was filed November 14, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: November 14, 2003

By 
Dariush G. Adli
Registration No. 51,386
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2002年11月14日
Date of Application:

出願番号 特願2002-330673
Application Number:

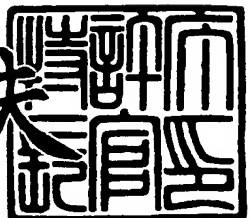
[ST. 10/C] : [JP2002-330673]

出願人 三洋電機株式会社
Applicant(s):

2003年 9月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 KIB1020041

【提出日】 平成14年11月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 岡田 吉弘

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100075258

【弁理士】

【氏名又は名称】 吉田 研二

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子及びその製造方法

【特許請求の範囲】

【請求項 1】 一導電型を有し、逆導電型の半導体基板の主面に互いに所定の間隔を設けて平行に配置される複数の第1チャネル領域と、

前記複数の第1チャネル領域の間隙に配置されるドレイン領域と、

前記複数の第1チャネル領域上に形成され、前記第1チャネル領域と交差する方向で互いに平行に配置される複数の第1転送電極と、

一導電型を有し、前記複数の第1チャネル領域に連続して前記半導体基板の主面に形成され、前記第1チャネル領域と交差する方向に延在する第2チャネル領域と、

前記第2チャネル領域上に形成され、前記第2チャネル領域と交差する方向で互いに平行に配置される複数の第2転送電極と、を備え、

前記第2チャネル領域は、前記第1チャネル領域に比して不純物濃度が低いことを特徴とする固体撮像素子。

【請求項 2】 請求項1に記載の固体撮像素子において、

前記第1チャネル領域と前記第2チャネル領域との境界が、前記複数の第1転送電極の最終段と前記第2転送電極との境界に合わせて設定されることを特徴とする固体撮像素子。

【請求項 3】 複数の受光画素が行列配置される撮像部、前記複数の受光画素の各列に対応して複数の垂直シフトレジスタが配置される垂直転送部、前記複数の垂直シフトレジスタの出力側に配置される水平転送部及び水平転送部の出力側に配置される出力部を有する固体撮像素子の製造方法において、

一導電型の半導体基板の主面に逆導電型の不純物を注入してチャネル領域を形成する第1の工程と、

前記チャネル領域が形成された半導体基板の主面のうち前記水平転送部及び前記出力部領域を覆うようにレジストパターンを形成する第2の工程と、

前記レジストパターンをマスクとして、再び前記半導体基板の主面に逆導電型の不純物を注入する第3の工程と、を含み、

前記水平転送部及び前記出力部のチャネル領域が、前記撮像部及び前記垂直転送部のチャネル領域に比して不純物濃度が低くなるように形成することを特徴とする固体撮像素子の製造方法。

【請求項 4】 請求項 3 に記載の固体撮像素子の製造方法において、
前記第 2 の工程の後に、
前記半導体基板の主面上に複数の転送電極を形成する工程と、
前記複数の転送電極を通して前記半導体基板に一導電型の不純物を注入し、前
記チャネル領域中に分離領域を形成する第 4 の工程と、を更に含むことを特徴と
する固体撮像素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CCD 固体撮像素子及びその製造方法に関し、特に出力部の低消費電力化に関する。

【0002】

【従来の技術】

図 6 は、フレーム転送方式の CCD 固体撮像素子の概略の構成図である。フレーム転送方式の CCD 固体撮像素子は、撮像部 i、蓄積部 s、水平転送部 h 及び出力部 d を有する。撮像部 i で生成された情報電荷は蓄積部 s に高速で転送される。情報電荷は蓄積部 s に保持されると共に、1 行ずつ水平転送部 h へ転送され、さらに、1 画素単位で水平転送部 h から出力部 d へ転送される。出力部 d は 1 画素毎の電荷量を電圧値に変換し、その電圧値の変化が CCD 出力とされる。

【0003】

撮像部 i において情報電荷が過剰に発生すると、情報電荷が周辺画素に溢れるブルーミングという現象を生じる。このブルーミングを抑制するために、不要な情報電荷を排出するオーバーフロードレイン構造が設けられる。オーバーフロードレイン構造には、縦型オーバーフロードレインと横型オーバーフロードレインとがある。

【0004】

縦型オーバーフロードレイン構造では、N型半導体基板の表面にN型拡散層であるNウェル及びその下にP型拡散層であるPウェルを形成し、基板深さ方向のNPN構造を構成する。基板裏面に正電圧を印加しPウェルを空乏化させることで、表面のフォトダイオードの余剰電荷が、Pウェルが形成する電位障壁を越えて基板に排出される。

【0005】

一方、横型オーバーフロードレインでは、受光画素に隣接してN⁺拡散層のドレイン領域が設けられる。そのため、基板深さ方向のNPN構造は不要であり、P型半導体基板の表面に、受光画素、CCDレジスタ等を構成するためのNウェルが形成される。

【0006】

Nウェルの不純物濃度は撮像部i及び蓄積部sの各画素の取扱電荷量（蓄積可能な電荷量）に基づいて定められる。つまり、CCD固体撮像素子の小型化及び画素数の増大の要求により、撮像部i及び蓄積部sを構成する画素のサイズを大きくして所望の取扱電荷量を確保することは困難となっており、そのためNウェルの不純物濃度を高めることによって取扱電荷量の確保が図られる。従来は、このように撮像部i及び蓄積部sの取扱電荷量を基準としてNウェルの不純物濃度が定められ、撮像部i、蓄積部s、水平転送部h及び出力部dが形成される領域全体が一様にその不純物濃度でNウェルを形成されている。

【0007】

図7、図8は、従来の横型オーバーフロードレイン構造のCCD固体撮像素子の要部の断面図である。図7は、垂直シフトレジスタの電荷の転送方向に沿った断面であり、垂直シフトレジスタとして蓄積部sの出力端近傍の断面が示され、さらに、蓄積部sの出力端に接続される水平転送部hの断面が示されている。また図8は、水平シフトレジスタの電荷の転送方向に沿った断面であり、水平シフトレジスタの出力端近傍の断面と、出力部の一部をなすフローティングディフェージョン及びリセットトランジスタとが示されている。

【0008】

P型のシリコン基板2の表面にN型不純物をイオン注入し拡散処理して、Nウ

エル4が形成される。Nウェル4の下のP型不純物層(P_{sub})6は、もともとシリコン基板2に存在するものである。

【0009】

図7において、情報電荷は、Nウェル4に形成される垂直シフトレジスタのポテンシャル井戸を順次、右方向へ転送され、水平シフトレジスタの電極14-1の下に形成されるポテンシャル井戸に読み出される。また、図8において、情報電荷は転送電極14-1, 14-2に印加される転送クロック ϕ_{H1} , ϕ_{H2} によりNウェル4に形成される水平シフトレジスタのポテンシャル井戸を順次、左方向に転送され、出力ゲート(OG)16の下を経由してフローティングディフュージョン(FD)18に転送される。

【0010】

フローティングディフュージョン18は N^+ 拡散層であり、これに隣接するリセットゲート(RG)22をオンすると、フローティングディフュージョン18の電位はリセットドレイン(RD)の電位 V_{RD} に設定される。このフローティングディフュージョン18に水平シフトレジスタから情報電荷を転送すると、その電荷量に応じてフローティングディフュージョン18の電位が変動する。この電位変動は、出力アンプ30で検出及び增幅され、出力アンプの出力 V_{OUT} がCCD出力となる。出力アンプ30は、MOS型トランジスタの駆動トランジスタ32と負荷トランジスタ34とで構成されるソースフォロワ回路であり、電源電圧 V_{DD} (例えば5V)を用いて駆動される。電源回路を共通化してCCD駆動回路を簡素化するという観点から、リセットドレイン電圧 V_{RD} として電源電圧 V_{DD} が用いられることがあり、その場合、フローティングディフュージョン18のリセット電位も電源電圧 V_{DD} と同電位となる。

【0011】

【発明が解決しようとする課題】

近年、例えばデジタルカメラや写真撮影機能付き携帯電話といった、CCD固体撮像素子を用いた小型軽量の機器が開発されている。小型軽量の機器ではバッテリも小型化されるため、低消費電力化が望まれる。低消費電力化には一般に駆動電圧の低減が有効であり、CCD固体撮像素子では例えばリセットドレイン電

圧 V_{RD} や電源電圧 V_{DD} を低減することにより消費電力を低減できる。特に、出力アンプの駆動には比較的大きな電流を必要とし、この部分での消費電力が大きく、出力アンプの駆動電圧を低下させることは消費電力の低減に有効である。

【0012】

しかしながら、リセットドレイン電圧 V_{RD} や電源電圧 V_{DD} を低下させると、水平シフトレジスタからフローティングディフュージョンへの情報電荷の転送効率が劣化するといった問題が生じる。すなわち、リセットドレイン電圧 V_{RD} や電源電圧 V_{DD} を低下させると、リセットドレインのポテンシャルが浅くなり、これに伴って、フローティングディフュージョンのポテンシャルも浅くなる。このため、出力ゲート下のポテンシャルとフローティングディフュージョンとのポテンシャル差が縮小され、フローティングディフュージョンの電荷の蓄積許容量が低下してしまう。この結果、水平シフトレジスタから転送される情報電荷をフローティングディフュージョンに受け止めきれなくなり、情報電荷の転送効率が劣化してしまう。

【0013】

また、水平シフトレジスタの転送クロックの電圧を下げて、水平シフトレジスタ領域のポテンシャルを浅くするといった方法が考えられるが、水平シフトレジスタの転送クロックが当初より低電圧化が図られていること、及び、埋め込みチャネル CCD のチャネル電位にはピンニング (pinning) 現象で定まる下限が存在することから、転送クロックの電位を下げてチャネル領域のポテンシャルを浅くするにも限界がある。

【0014】

本発明は上記問題点を解決するためになされたもので、水平転送部から出力部への情報電荷の転送効率を劣化することなく、電力消費を低減する CCD 固体撮像素子及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】

上記課題を解決するための本発明は、一導電型を有し、逆導電型の半導体基板の正面に互いに所定の間隔を設けて平行に配置される複数の第 1 チャネル領域と

、前記複数の第1チャネル領域の間隙に配置されるドレイン領域と、前記複数の第1チャネル領域上に形成され、前記第1チャネル領域と交差する方向で互いに平行に配置される複数の第1転送電極と、一導電型を有し、前記複数の第1チャネル領域に連続して前記半導体基板の主面に形成され、前記第1チャネル領域と交差する方向に延在する第2チャネル領域と、前記第2チャネル領域上に形成され、前記第2チャネル領域と交差する方向で互いに平行に配置される複数の第2転送電極とを備え、前記第2チャネル領域は、前記第1チャネル領域に比して不純物濃度が低いことを特徴とする固体撮像素子である。

【0016】

ここで、上記固体撮像素子において、前記第1チャネル領域と前記第2チャネル領域との境界が、前記複数の第1転送電極の最終段と前記第2転送電極との境界に合わせて設定されることが好ましい。

【0017】

また、上記課題を解決するための本発明の別の形態は、複数の受光画素が行列配置される撮像部、前記複数の受光画素の各列に対応して複数の垂直シフトレジスタが配置される垂直転送部、前記複数の垂直シフトレジスタの出力側に配置される水平転送部及び水平転送部の出力側に配置される出力部を有する固体撮像素子の製造方法において、一導電型の半導体基板の主面に逆導電型の不純物を注入してチャネル領域を形成する第1の工程と、前記チャネル領域が形成された半導体基板の主面のうち前記水平転送部及び前記出力部領域を覆うようにレジストパターンを形成する第2の工程と、前記レジストパターンをマスクとして、再び前記半導体基板の主面に逆導電型の不純物を注入する第3の工程とを含み、前記水平転送部及び前記出力部のチャネル領域が、前記撮像部及び前記垂直転送部のチャネル領域に比して不純物濃度が低くなるように形成することを特徴とする。

【0018】

ここで、上記固体撮像素子の製造方法において、前記第2の工程の後に、前記半導体基板の主面上に複数の転送電極を形成する工程と、前記複数の転送電極を通して前記半導体基板に一導電型の不純物を注入し、前記チャネル領域中に分離領域を形成する第4の工程とを更に含むことが好ましい。

【0019】

本発明によれば、複数の転送電極が形成された後に分離領域を形成するため、転送電極と分離電極との位置合わせが容易となる。すなわち、転送電極の配列状態に合わせてイオン注入を行ってチャネル領域を規定するため、チャネル領域及び分離領域の配列に合わせて転送電極を形成する場合に比して、転送電極とチャネル領域との位置合わせが容易となる。

【0020】**【発明の実施の形態】**

次に、本発明の実施形態について図面を参照して説明する。以下、フレーム転送方式のCCD固体撮像素子での実施形態を説明する。フレーム転送方式のCCD固体撮像素子の概略の構成は図6に示す通りであり、これを援用する。フレーム転送方式のCCD固体撮像素子は、撮像部i、蓄積部s、水平転送部h及び出力部dを有する。撮像部iは、垂直方向に延在し、互いに平行に配列された複数の垂直シフトレジスタからなり、各垂直シフトレジスタの各ビットがフォトダイオードとして機能し受光画素を構成する。蓄積部sは、撮像部iの垂直シフトレジスタに連続する遮光された複数の垂直シフトレジスタからなり、各垂直シフトレジスタの各ビットが蓄積画素を構成する。水平転送部hは、水平方向に延在する単一の水平シフトレジスタからなり、各ビットに蓄積部sの垂直シフトレジスタの出力が接続される。出力部dは、水平転送部hから転送出力される電荷を一時的に蓄積する容量及びその容量に蓄積された電荷を排出するリセットドレインを含む。これにより、撮像部iの各受光画素に蓄積される情報電荷は、各画素毎に独立して蓄積部sの蓄積画素へ転送された後、1行ずつ蓄積部sから水平転送部hへ転送され、さらに、1画素単位で水平転送部hから出力部dへ転送される。そして、出力部dで1画素毎の電荷量が電圧値に変換され、その電圧値の変化がCCD出力として外部回路へ供給される。

【0021】

図1は、CCD固体撮像素子の要部を説明するための図であり、垂直シフトレジスタと水平シフトレジスタとの接続部分の模式的な平面図である。図に示す構造は、P型半導体基板表面にN型不純物を注入してNウェルを形成した後、さら

に複数の工程を経て作られる。

【0022】

具体的には、基板表面にNウェルが形成された基板上に、酸化膜を介してポリシリコン層を積層し、これをパターンニングして複数の転送電極60, 62, 64を形成する。次いで、転送電極の配列に合わせてレジストパターンを形成し、このレジストパターンをマスクとしてNウェル中にP型不純物を注入して分離領域46, 48, 50を形成する。この分離領域46, 48, 50は、分離領域を境として隣接する2つのNウェル領域を電気的に分離し、これにより、半導体基板正面で電荷の転送経路となるチャネル領域42, 44が規定され、転送電極とチャネル領域で受光画素、垂直シフトレジスタ及び水平シフトレジスタが構成される。

【0023】

横型オーバーフロードレイン構造では、分離領域46内にオーバーフロードレイン領域52が、チャネル領域42に平行に細長く形成され、分離領域46の幅方向の中央部分に、N型不純物を高濃度にイオン注入することによって形成される。このオーバーフロードレイン領域は、隣接する分離領域との間にポテンシャルの障壁を形成する。

【0024】

図2は、横型オーバーフロードレインが設けられた垂直シフトレジスタの電荷転送方向に直交する方向の模式的な断面図及び、その断面に対応する部分でのポテンシャルの状態を示す図を並べて示したものである。図2(a)が断面図であり、それぞれチャネル領域42、分離領域56、ドレイン領域52に対応するNウェル70, P⁺拡散層72、N⁺拡散層74がP型半導体基板P_{sub}の表面に形成される。基板表面にはゲート酸化膜76を介して転送電極60が配置される。図2(b)がポテンシャルの状態を示す図であり、縦軸が電位を表し、下に向かって正電位が増す。Nウェル70は転送電極60に印加される電圧によって空乏化されポテンシャル井戸80を形成する。このポテンシャル井戸80に情報電荷82を蓄積することができる。N⁺拡散層74はドレイン84を形成し、また分離領域56であるP⁺拡散層72は、転送チャネルのポテンシャル井戸80とド

レイン84との間にポテンシャル障壁86を形成する。ポテンシャル井戸80に過剰な情報電荷が発生し、又は流れ込んだ場合、その過剰分の電荷は、電位障壁86を越えてドレン84に排出され、これにより過剰電荷が周辺画素に漏れ出すブルーミングが抑制される。

【0025】

垂直シフトレジスタの転送電極60、水平シフトレジスタの転送電極62, 64はそれぞれ電荷転送方向に複数個並べて配置される。ここでは垂直CCDレジスタは3相駆動される。つまり、周期的に配列された転送電極60-1～60-3にそれぞれ転送クロック $\phi S1$, $\phi S2$, $\phi S3$ が印加され、情報電荷は図1において下方向に転送される。

【0026】

水平シフトレジスタの転送電極62は1層目のポリシリコン層で形成され、転送電極64は2層目のポリシリコン層で形成される。水平シフトレジスタは、互いに隣接する転送電極62, 64を2本1組として、転送クロック $\phi H1$, $\phi H2$ により2相駆動される。転送電極62及び転送電極64の下には転送電極62と転送電極64との段差に応じた階段状のポテンシャルが形成され、情報電荷は転送電極62の下にチャネル領域に蓄積される。転送電極62とその右側の転送電極64とは、同じ転送クロックで駆動されるように配線され、これにより、情報電荷が水平シフトレジスタ内を図1において左方向へ転送される。

【0027】

図3は、垂直シフトレジスタの電荷の転送方向に沿った概略の断面図であり、垂直シフトレジスタとして蓄積部sの出力端近傍の断面が示され、さらに、蓄積部sの出力端に接続される水平転送部hの断面が示されている。垂直シフトレジスタの出力端近傍の断面と、出力部の一部をなすフローティングディフュージョン及びリセットドレインとが示されている。図4は、水平シフトレジスタの電荷の転送方向に沿った概略の断面図であり、水平シフトレジスタの出力端近傍の断面と、出力部の一部をなすフローティングディフュージョン及びリセットドレンとが示されている。

【0028】

上述のように、P型のシリコン基板2にN型不純物をイオン注入、拡散して、基板2の表面領域にはNウェルが形成される。本実施形態では、Nウェルを形成するN型不純物のイオン注入は、注入する領域を変えて2回行われる。その結果、互いに不純物濃度の異なる2種類のNウェル70, 90が形成される。Nウェル70は、撮像部i及び蓄積部sに形成され、不純物濃度が相対的に高い。Nウェル90は、水平転送部h及び出力部dに形成され、不純物濃度が相対的に低い。図3にはNウェル70, 90が表されており、図4にはNウェル90が表されている。Nウェル70の不純物濃度は、撮像部i及び蓄積部sでの取扱電荷量を確保するという観点から定められる。一方、Nウェル90の不純物濃度は、後述する出力部dの駆動電圧の低減に対応して定められる。

【0029】

基板の表面上には酸化膜76（図3, 4には図示せず）を介して転送電極が配置される。蓄積部sの垂直シフトレジスタには3相の垂直転送クロック $\phi S1 \sim \phi S3$ で駆動される電極群60-1～60-3が設けられ、水平シフトレジスタには2相の水平転送クロック $\phi H1, \phi H2$ で駆動される電極群14-1, 14-2が設けられる。電極群に順番に正電圧を印加することにより、電極下のNウェル4に形成されるポテンシャル井戸が移動し、それに連動してポテンシャル井戸に蓄積される情報電荷も移動する。例えば、図3においては、電荷パケットは垂直シフトレジスタ中を右方向に順次転送され、水平シフトレジスタの電極14-1の下に形成されるポテンシャル井戸に読み出される。また図4においては、情報電荷は水平シフトレジスタ中を左方向に順次転送され、直流電圧を印加された出力ゲート（OG）16の下を経由してフローティングディフュージョン（FD）18に転送される。

【0030】

フローティングディフュージョン18はN⁺拡散層であり、水平シフトレジスタから転送出力される情報電荷を蓄積するキャパシタを形成し、またフローティングディフュージョン18、リセットドレイン（RD）20及びリセットゲート（RG）22がリセットトランジスタを構成する。リセットドレイン20はN⁺拡散層で形成される。リセットドレイン20にはリセットドレイン電位V_{RD}とし

て一定に維持される。ここではリセットドレイン電圧 V_{RD} に電源電圧 V_{DD} が利用される。リセットゲート 22 に印加されるリセットクロック ϕ_R によってリセットゲート 22 がオンすると、リセットゲート 22 の下にチャネルが形成される。フローティングディフュージョン 18 に蓄積された情報電荷がリセットドレイン 20 に転送されて排出される。リセットゲート 22 がオフされた状態では、フローティングディフュージョン 18 及びこれに接続された P_{sub} の PN 接合は電気的にフローティング（浮遊状態）になる。ここに、水平シフトレジスタから情報電荷をフローティングディフュージョンに移動させると、その情報電荷は PN 接合容量に一時的に蓄積され、その電荷量に応じてフローティングディフュージョン 18 の電位が変動する。この電位変動は出力アンプ 30 で検出及び增幅され、出力アンプ 30 の出力 V_{OUT} が CCD 出力となる。

【0031】

出力アンプ 30 は基板 2 に形成される MOS トランジスタを用いて、例えば 3 段ソースフォロワ回路で構成される。出力アンプ 30 の駆動トランジスタ 32 及び負荷トランジスタ 34 のドレイン、ソースは、基板 2 の表面に形成された N^+ 拡散層で構成され、それらの間の基板半導体領域に形成されるチャネルは、ゲート酸化膜上にポリシリコン電極層で形成されたゲート電極を用いて制御される。本実施形態では、出力部 d のリセットドレインや出力アンプ 30 の駆動トランジスタ 32 のドレイン拡散層に印加される電源電圧 V_{DD} は、低消費電力化のために、従来より低電圧（例えば 2.9 V）とされる。

【0032】

N ウェル 90 の不純物濃度は、オフ状態での転送電極 62 下のポテンシャルがフローティングディフュージョン 18 のポテンシャルより浅くなり最終段の転送電極からフローティングディフュージョン 18 へ向けてのフリンジ電界が十分に得られ転送効率が確保されることを考慮して設定される。ちなみに、水平シフトレジスタの転送チャネル幅を大きく確保することは比較的容易であり、チャネル電位が浅くなっても、転送電極 62 下の領域の面積を拡大することにより、取扱電荷量を確保することができる。

【0033】

図5は、本CCD固体撮像素子のNウェルの形成工程を説明する模式的な素子上面図である。P型のシリコン基板2の表面の素子形成領域にN型不純物がイオン注入される。この第1のN型不純物導入工程により、撮像部i、蓄積部s、水平転送部h及び出力部dが形成される予定の領域（図5（a）の斜線領域）に第1のN型拡散層が深さ方向に第1の不純物プロファイルにて形成される。

【0034】

続いて、撮像部i及び蓄積部sが形成される予定領域（図5（b）の斜線領域）に開口を有するレジストパターンを基板2の表面に形成し、これをマスクとしてN型不純物の2回目のイオン注入を行い、熱拡散処理を施す。この第2のN型不純物導入工程により、撮像部i及び蓄積部sを形成する領域下に、先に形成されている第1の不純物プロファイルと合成された第2の不純物プロファイルを有する第2のN型拡散層が形成される。ここで、蓄積部sと水平転送部hとの間のNウェル70とNウェル90との境界は、最終的に、垂直シフトレジスタの最終電極である転送電極60-3と垂直転送チャネルから情報電荷を読み出す水平シフトレジスタの転送電極62との境界に一致するように、イオン注入のマスク及び熱拡散等が設計される。図1において点線100がNウェル70とNウェル90との境界を示す。例えば、2回目のイオン注入のマスクは、図1において点線100より1～2μm上まで覆うように形成される。そして、このマスクにより注入され形成された濃度の高いNウェルはその後の熱拡散工程により横方向に広がり、最後の熱拡散工程にて点線100に達する。

【0035】

以降は、半導体基板の表面上に転送電極60, 62, 64を形成し、この工程の後、半導体基板の表面に分離領域46, 48, 50及びドレン領域52を形成して、CCD固体撮像素子が完成する。

【0036】

【発明の効果】

本発明のCCD固体撮像素子によれば、水平転送部から出力部への情報電荷の転送効率を劣化させることなく、出力部の駆動電圧を下げて消費電力を低減することができる。

【図面の簡単な説明】

【図1】 実施形態のCCD固体撮像素子の垂直シフトレジスタと水平シフトレジスタとの接続部分の模式的な平面図である。

【図2】 横型オーバーフロードレインが設けられた垂直CCDレジスタの電荷転送方向に直交する方向の模式的な断面図及び、その断面に対応する部分での電位分布図である。

【図3】 実施形態のCCD固体撮像素子における垂直シフトレジスタの転送チャネルに沿った概略の断面図である。

【図4】 実施形態のCCD固体撮像素子における水平シフトレジスタの転送チャネルに沿った概略の断面図である。

【図5】 実施形態のCCD固体撮像素子におけるNウェルの形成工程を説明する模式的な素子上面図である。

【図6】 フレーム転送方式のCCD固体撮像素子の概略の構成図である。

【図7】 従来のCCD固体撮像素子における垂直シフトレジスタのチャネルに沿った概略の断面図である。

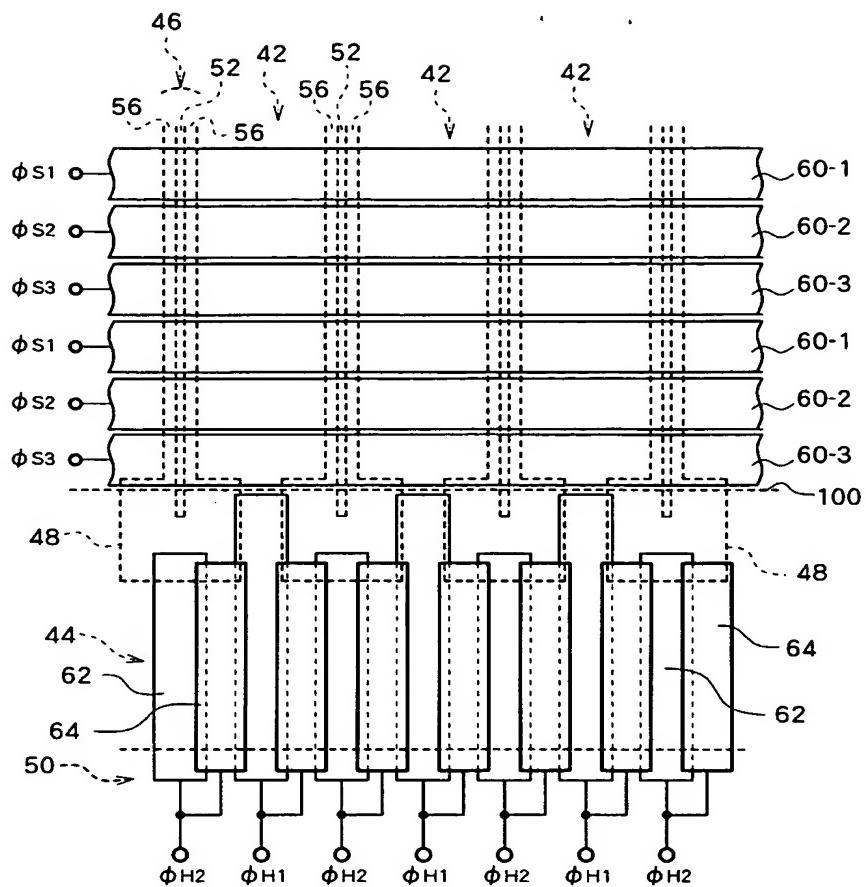
【図8】 従来のCCD固体撮像素子における水平シフトレジスタのチャネルに沿った概略の断面図である。

【符号の説明】

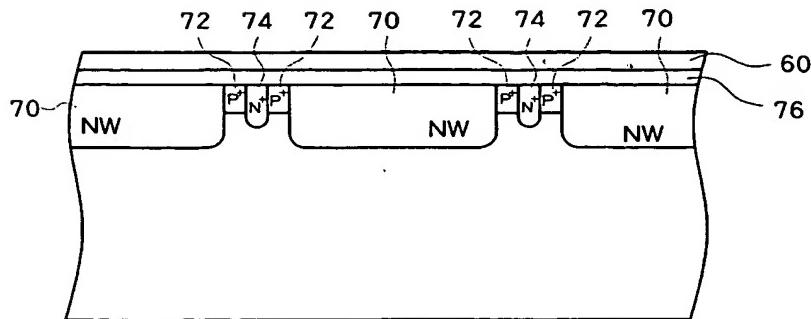
1 シリコン基板、6 P型不純物層、14, 60, 62, 64 転送電極、
16 出力ゲート、18 フローティングディフュージョン、20 リセットド
レイン、22 リセットゲート、30 出力アンプ、32 駆動トランジスタ、
34 負荷トランジスタ、42, 44 チャネル領域、46, 48, 50, 56
分離領域、52 ドレイン領域、4, 70, 90 Nウェル。

【書類名】 図面

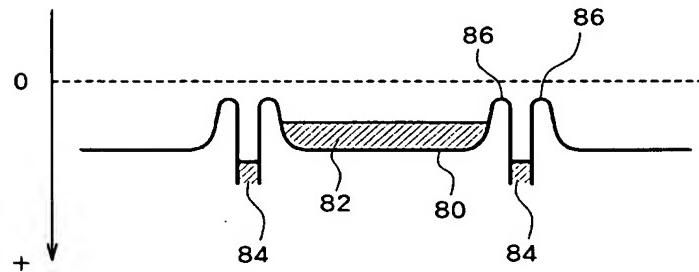
【図 1】



【図 2】

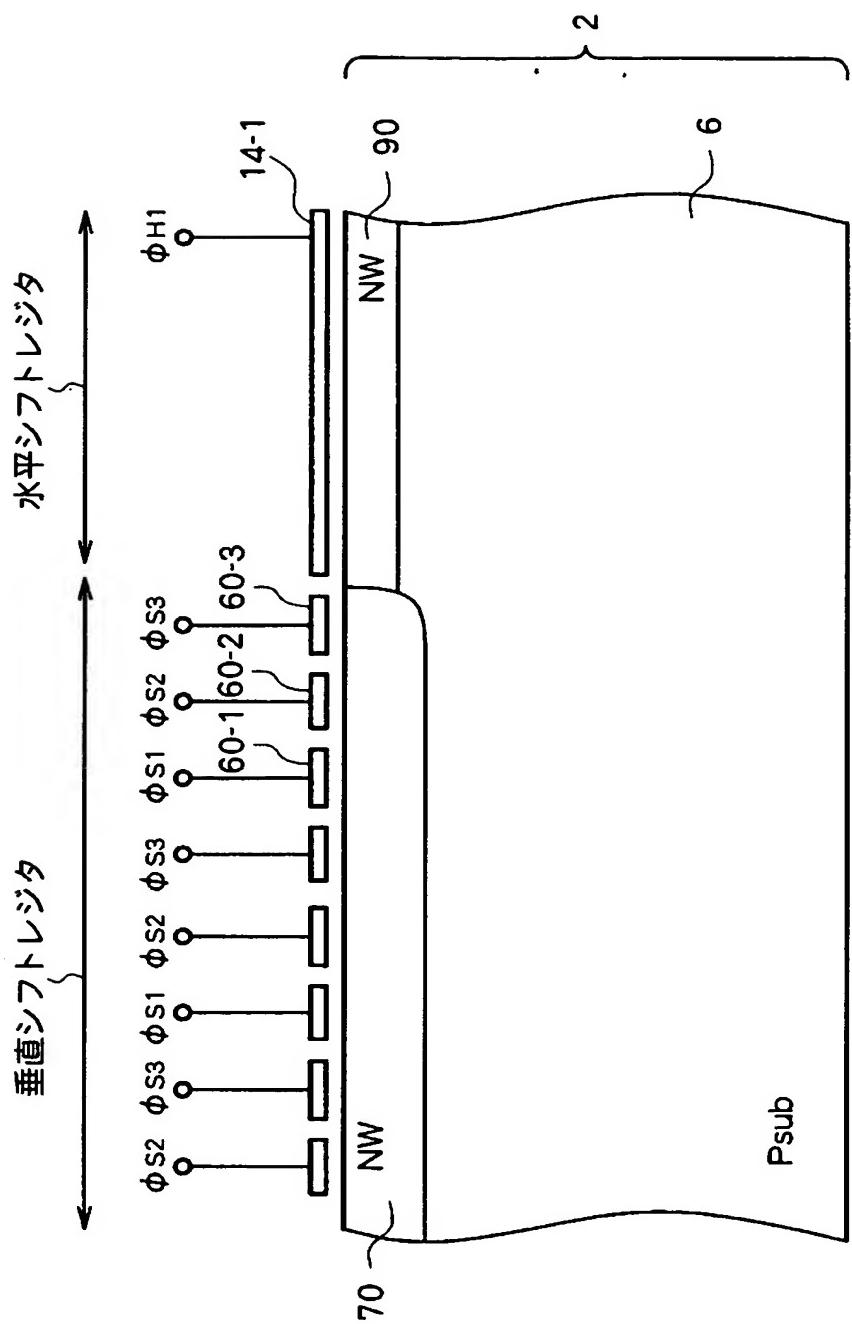


(a)

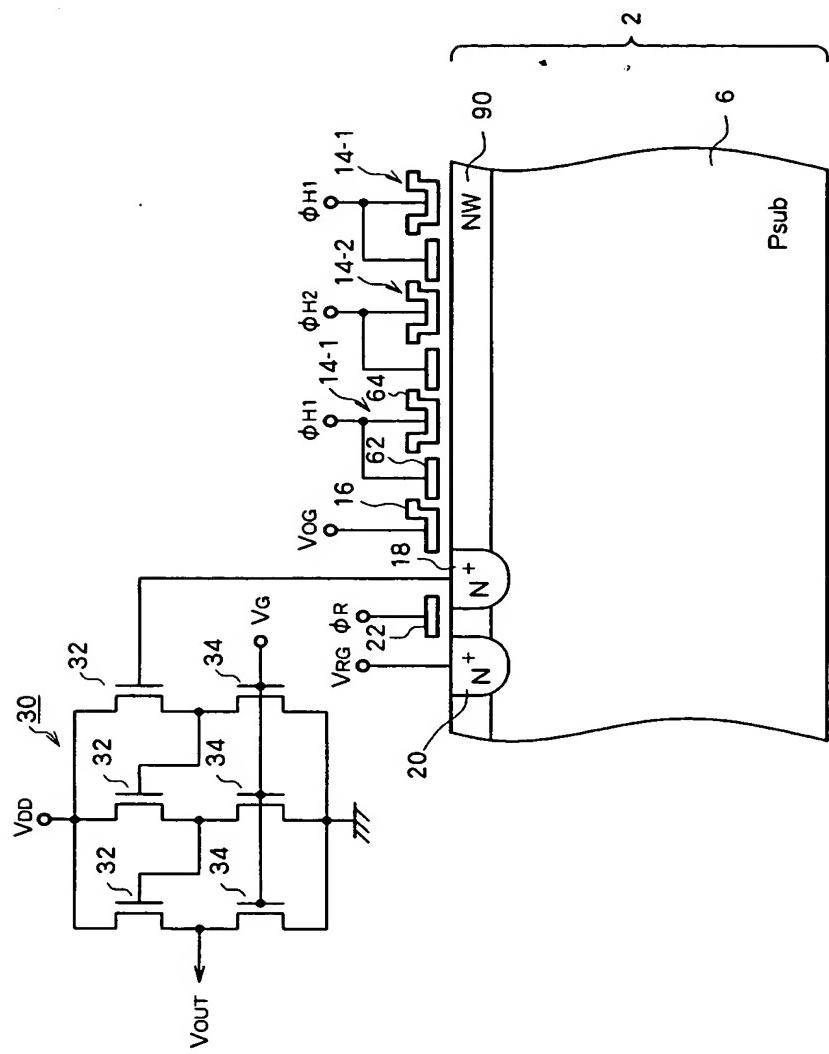


(b)

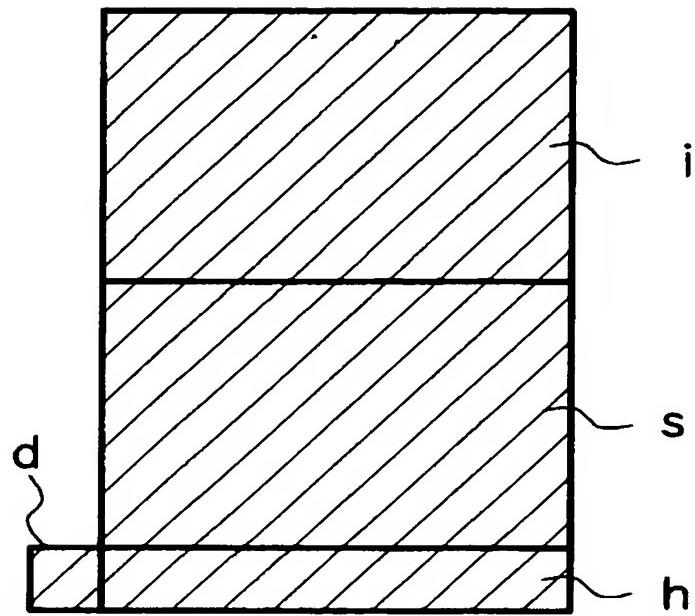
【図3】



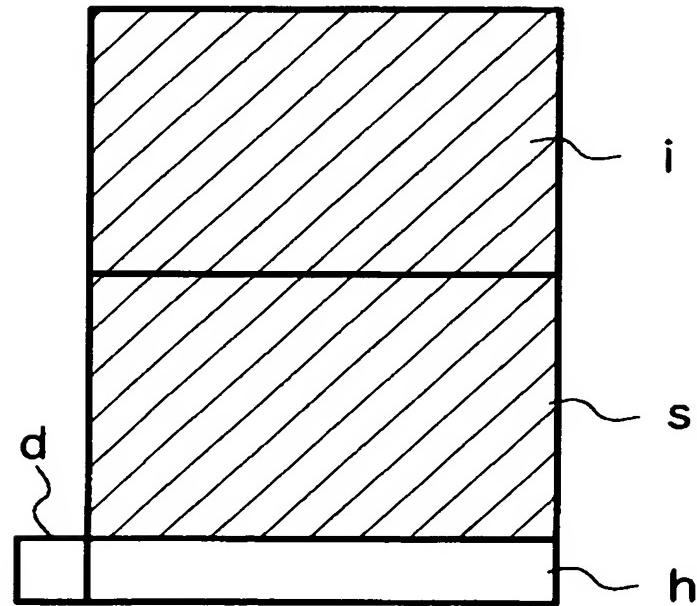
【図 4】



【図5】

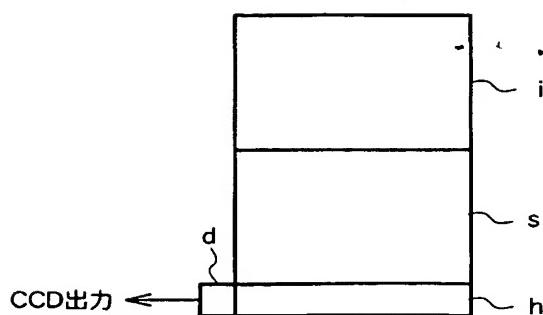


(a)

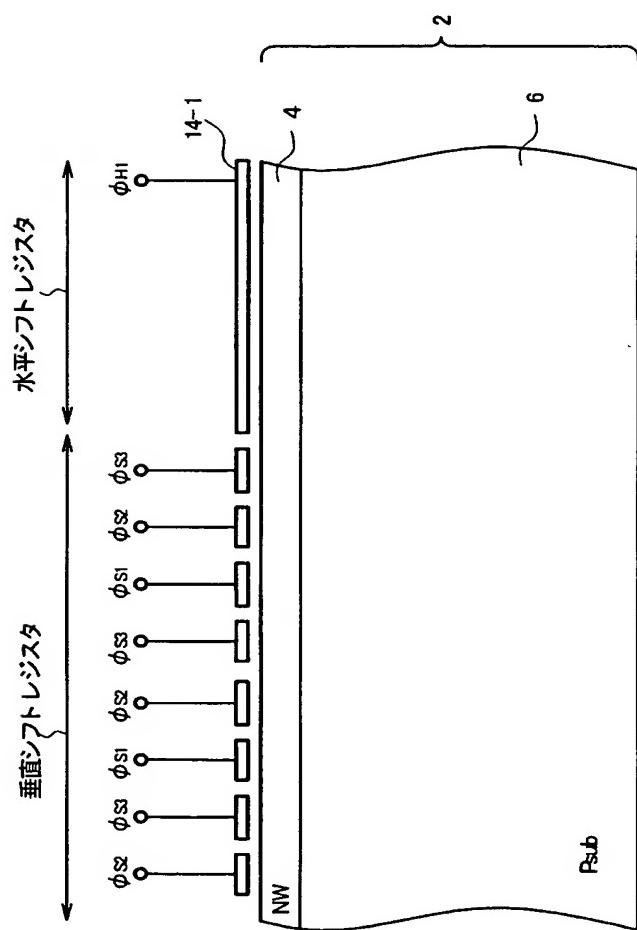


(b)

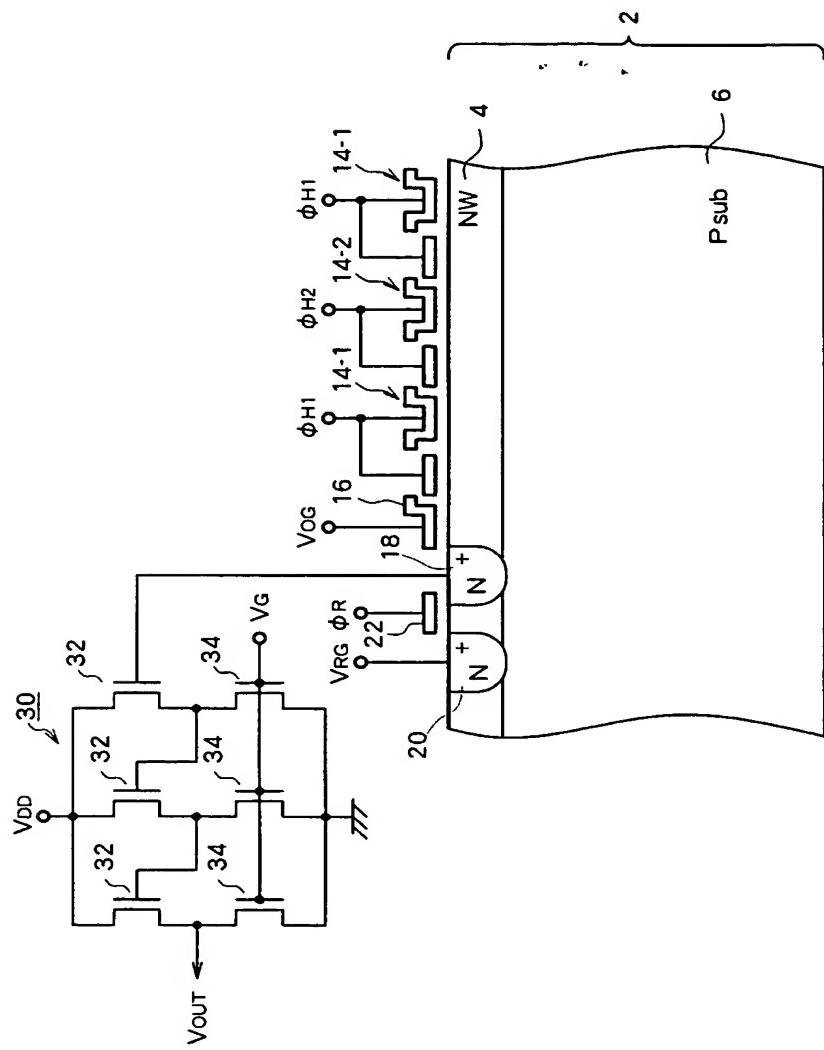
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 CCD固体撮像素子において、出力部の駆動電圧を下げるとき、フローティングディフュージョンのリセット電位が浅くなり、水平CCDレジスタからフローティングディフュージョンへの転送効率が劣化する。

【解決手段】 P型シリコン基板2の表面のNウェルを2回の不純物の注入工程により形成し、撮像部及び蓄積部の下のNウェル70と、水平転送部の下のNウェル90とを、互いに不純物濃度を異ならせて形成する。水平転送部の下に配置されたNウェル90は、撮像部及び蓄積部のNウェルよりN型不純物の濃度が低く形成される。これにより、撮像部及び蓄積部の取扱電荷量を維持したまま、水平CCDレジスタのチャネル電位を、フローティングディフュージョンのリセット電位より浅くすることができる。

【選択図】 図3

特願 2002-330673

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 大阪府守口市京阪本通2丁目18番地
氏 名 三洋電機株式会社
2. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社